

(11)Publication number : 01-264034  
(43)Date of publication of application : 20.10.1989

(51)Int.Cl. H04L 13/00  
H04L 27/00

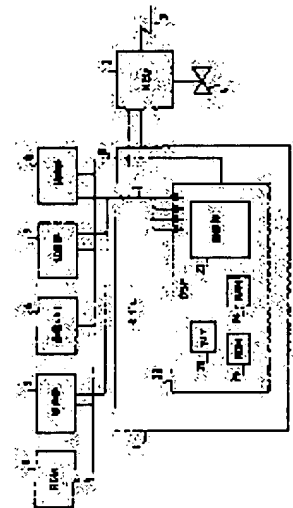
(21)Application number : **63-090353** (71)Applicant : **CANON INC**  
(22)Date of filing : **14.04.1988** (72)Inventor : **NAKAJIMA TOSHIFUMI**  
**ISOZAKI SHINGO**  
**NAKAYAMA TORU**

## (54) DATA COMMUNICATION EQUIPMENT

(57)Abstract:

**PURPOSE:** To eliminate the need for a main control section comprising an exclusive microprocessor and to simplify the hardware by using a digital signal processor as the main control section controlling each section of the equipment.

**CONSTITUTION:** A digital signal processor(DSP) 22 built in a MODEM 1 controls each part of the equipment. That is, the DSP 22 applies interruption processing to control each part of the equipment simultaneously in addition to basic functions of the MODEM such as modulation, demodulation and equalization. The DSP 22 has internally a control section 23, a timer 26, a ROM 25 storing a basic signal processing program and a RAM 24 used as a data buffer or the like. Thus, the digital signal processor 22 can control the operation of each part of the equipment eliminate the need for the main control section comprising an exclusive microprocessor.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

## ⑫ 公開特許公報(A) 平1-264034

⑤ Int. Cl.<sup>4</sup>H 04 L 13/00  
27/00

識別記号

3 0 1

庁内整理番号

Z-7240-5K  
Z-8226-5K

⑬ 公開 平成1年(1989)10月20日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 データ通信装置

⑯ 特 願 昭63-90353

⑰ 出 願 昭63(1988)4月14日

⑱ 発 明 者 中 島 稔 文 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 発 明 者 磯 崎 慎 吾 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 発 明 者 中 山 亨 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ㉑ 代 理 人 弁理士 加藤 卓

## 明 細 書

## 1. 発明の名称

データ通信装置

## 2. 特許請求の範囲

1) デジタル信号プロセッサを用いてアナログ送受信信号を変復調するモデムを有しアナログ回線を介して所定のデジタルデータを送受信するデータ通信装置において、前記デジタル信号プロセッサを装置各部を制御する主制御部として用いることを特徴とするデータ通信装置。

2) 前記デジタル信号プロセッサは変復調動作中所定方式の並行処理によって装置各部の制御を行なうことを特徴とする特許請求の範囲第1項に記載のデータ通信装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はデータ通信装置、特にデジタル信号プロセッサを用いてアナログ送受信信号を変復調するモデムを有しアナログ回線を介して所定のデジタルデータを送受信するデータ通信装置に関する

ものである。

## 〔従来の技術〕

従来より、電話回線網などのアナログ回線を介してデータを送受信する装置が知られている。この種の装置として一般的なものはG1～G3ファクシミリ装置である。

アナログ回線を用いるファクシミリ装置は、デジタルデータをアナログ信号に変換して送受信するためにモデム(変復調器)が必要である。最近では、モデムはデジタル信号プロセッサ(DSP)を用いて構成されることが多い。

## 〔発明が解決しようとする課題〕

一方、ファクシミリ装置は画像読取部、記録部、原稿や記録紙の搬送系などの各部から構成されるが、通信時にこれらの動作を統括する主制御部が必要である。主制御部としては、従来よりマイクロプロセッサが利用されている。

ところが、前記のモデムに使用されているデジタル信号プロセッサは、通常の汎用のマイクロプロセッサにほぼ相当する内部回路を有しており、

また多くのデジタル信号プロセッサでは汎用のマイクロプロセッサと同様の命令セットを実行するモードが用意されている。

従って、従来装置では主制御部とモデムにほぼ同一の機能を有するプロセッサが二重に設けられており、ハードウェア構成に無駄が多いという問題がある。この問題はファクシミリ装置のみならず、同様の構成を有するデータ通信装置に共通するものである。

本発明の課題は以上の問題を解決し、簡略なハードウェア構成によるデータ通信装置を提供することにある。

#### 〔課題を解決するための手段〕

以上の課題を解決するために、本発明においては、デジタル信号プロセッサを用いてアナログ送受信信号を変復調するモデムを有しアナログ回線を介して所定のデジタルデータを送受信するデータ通信装置において、前記デジタル信号プロセッサを装置各部を制御する主制御部として用いる構成を採用した。

ためのマイクロプロセッサなどによる制御部が設けられるが、本実施例ではこれを設けず、モデム1に内蔵されるデジタル信号プロセッサ（以下DSPという）22によって装置の各部を制御する。

本実施例では、DSP22はモデムの基本機能である変復調、等化などの処理の他に、割込処理によって装置の各部を同時に制御する。DSP22は内部に制御部23、タイマ26、基本的な信号処理プログラムを格納したROM25、およびデータバッファなどとして利用されるRAM24を有し、公知のDSPチップから構成される。

DSP22はバスB（アドレスバスおよびデータバスから成る）によって上記の各部と接続される。また、変復調動作と装置の各部の制御を並行して行うため、割込信号線Iによって操作部5、記録部7、読取部8およびNCU2と接続されている。

DSP22の信号処理のための基本的なプログ

#### 〔作用〕

以上の構成によれば、デジタル信号プロセッサにより装置各部の動作を制御でき、専用のマイクロプロセッサなどによる主制御部を設ける必要がなくなる。

#### 〔実施例〕

以下、図面に示す実施例に基づき、本発明を詳細に説明する。

第1図は本発明を採用したファクシミリ装置の構造を示している。

第1図のファクシミリ装置は電話回線などのアナログ回線3に対して画像信号を送受信するもので、記録を行う記録部7、原稿画像を読み取る読取部8、送受信データのバッファとして用いられる画像メモリ6、装置の動作を制御するためのキーボード、表示器などから成る操作部5、送受信信号の変復調を行うモデム1、回線接続を制御するNCU2、および通話用のハンドセット（または電話機）4から構成される。

従来では、この他に装置全体の動作を制御する

ラムは内蔵されたROM25に格納されており、変復調の際の処理はこのプログラムによって従来と同様に実行される。

また、割込信号線Iを介して各部からの割込を受け付けることによって対応するルーチンを実行し、これによって装置全体の動作を制御する。この割込ルーチンはバスBに接続されたROM9に格納される。また、ROM9にはDSP22が通常の制御部と同様に実行するメインルーチンも格納される。

次に、以上の構成における動作について説明する。

DSP22はモデムとしての変復調動作を行わない期間においては、ROM9に格納されたメインルーチンを従来の制御部を構成するマイクロプロセッサと全く同様に実行し、装置の各部を制御する。通信処理においてモデムとしての動作を行っている場合には、第2図に示すような方法で変復調動作と他の部材の制御を並行して行う。

第2図のステップS1は従来と同様のモデムと

しての変復調処理を示しており、モデムの動作中にステップS2において割込信号線Iを介して操作部5、記録部7から割込信号を受け取ると、ステップS3において割込ルーチンを実行する。割込がない場合はそのままステップS1のモデム動作が続行される。

第3図(A)～(D)にステップS3の割込ルーチンの例を示す。第3図(A)～(D)の各ルーチンは、DSP22の割込端子INT0～INT3のそれぞれに対する割込によって実行されるものである。

第3図(A)のステップS4はモータ制御ルーチンで、記録部7ないし読取部8における用紙検出などに基づく割込制御ルーチンである。第3図(B)のステップS5は操作部5のキー入力に基づくキー入力ルーチンである。

第3図(C)のステップS6は読取部8の読取制御ルーチンで、例えば読取ヘッドからのデータ読出などの制御を含む。第3図(D)のステップS7は記録部7のサーマルヘッド制御ルーチン

で、例えば記録ヘッドの駆動時間制御、駆動タイミングの制御などを含む。第3図(A)～(D)のルーチンは、いずれもハードウェア割込によって実行されるという点異なるのみで、制御の内容は従来と同じである。

以上のように、割込制御によって変復調処理とその他の部材の制御を並行して行うことができるが、他の部材の制御のため変復調処理を一時中止しなければならない。このため、通信を行う場合、特に受信を行う場合には通信前手順においてあらかじめ余裕のある1ラインの最少伝送時間を宣言し、他の部材の制御のための時間を確保すればよい。このような方法によって、変復調処理をそれほど中断しなくても相手局がフィルデータを送信している間にデータ転送や記録出力を行うことができる。

通常、DSPはかなり高速な動作が可能であるから、以上のような並行処理を行ってもそれほど処理時間が増大する心配はない。

以上の構成では、データ送受信および画像デー

タ読取ないし記録出力を回線接続中に並行して行う場合にはかなり頻繁に割込がかかり、制御の流れがかなり複雑になることが考えられる。しかし、第4図、第5図に示すように送受信データを全てメモリに格納する、いわゆるメモリ送受信を行うようにすれば、それほど制御の流れが複雑になることがない。

第4図は送信手順を示しており、第4図のステップS8ではライン単位など所定の単位で読取部8によって画像の読取を行って符号化し、ステップS9ではメモリに符号化データを格納する。この場合、DSP22は読取部8の制御、符号化処理、メモリへの転送動作を前記の割込を用いた並行処理によって実行する。

ステップS10では全ての画像データを読み取ったかどうかを判定し、読取終了の場合にはステップS11に移行する。読取を終了していなければステップS8、S9を繰り返す。

ステップS11では操作部5を介して指定された相手局の電話番号を用いて相手局を免呼する。

ステップS12では通信前手順を行い、ステップS13において画像メモリ6に記憶された符号化データの画像データを送信し、ステップS14で通信後手順を行って終了する。

このように、画像データの準備と通信を分割することによって割込処理が少なくなり、また、回線占有時間も短縮することができる。

第5図は受信手順を示しており、相手局からの免呼を検出すると、ステップS15において通信前手順を行う。この場合、ステップS16において画像メモリ6に対してメモリ受信を行うため、DSP22の処理は変復調とデータ転送だけであり、記録出力を並行して行う場合ほど余裕をもった最少伝送時間を宣言しなくてもよい。

ステップS16では受信した画像データを復号化せず、そのまま画像メモリ6に格納する。ステップS17では通信後手順を行って回線接続を遮断する。

ステップS18では画像メモリ6に記憶した画像データを復号し、ステップS19で記録出力す

る。この復号および記録処理は所定単位（ライン単位など）で行われ、ステップS20では全ての受信データを記録出力したかどうかを判定し、全てのデータを記録していない場合にはステップS18、S19を繰り返す。全てのデータを記録出力したら、処理を終了する。

このような受信処理によって、前記の送信処理と同様に回線占有時間を短縮し、また制御の流れを簡略化することができる。

以上ではDSP22が符号化／復号化処理を行う例を示したが、符号化および復号化をハードウェアで行うようにすれば、DSP22の負荷を軽減することができる。符号化および復号化処理を他のハードウェアに行わせれば、受信と記録出力を並行して行うような場合に有利である。

以上のように、モデムのDSPを主制御部として利用することにより、従来設けられていたマイクロプロセッサなどによる主制御部を別に設ける必要がなくなり、過剰な回路部分を省略し、ハードウェアを簡略化できる。

以上では、ファクシミリ装置の実施例を示したが、同様のハードウェア構成を有するアナログ伝送を行なうデータ通信装置にも上記技術を実施できるのはもちろんである。

#### 〔発明の効果〕

以上から明らかなように、本発明によれば、デジタル信号プロセッサを用いてアナログ送受信信号を変復調するモデムを有しアナログ回線を介して所定のデジタルデータを送受信するデータ通信装置において、前記デジタル信号プロセッサを装置各部を制御する主制御部として用いる構成を採用しているので、デジタル信号プロセッサにより装置各部の動作を制御でき、専用のマイクロプロセッサなどによる主制御部を設ける必要がなく、装置のハードウェアを簡略化し、コストダウンを図ることができるという優れた効果がある。

#### 4. 図面の簡単な説明

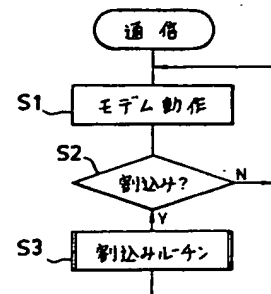
第1図は本発明を採用したファクシミリ装置の構成を示したブロック図、第2図、第3図(A)～(D)、第4図および第5図は第1図のDSP

が行う制御の流れを示したフローチャート図である。

- |          |         |
|----------|---------|
| 1…モデム    | 2…NCU   |
| 3…アナログ回線 |         |
| 5…操作部    | 6…画像メモリ |
| 7…記録部    | 8…読取部   |
| 9…ROM    |         |
| 22…DSP   | 23…制御部  |
| B…バス     | I…割込信号線 |

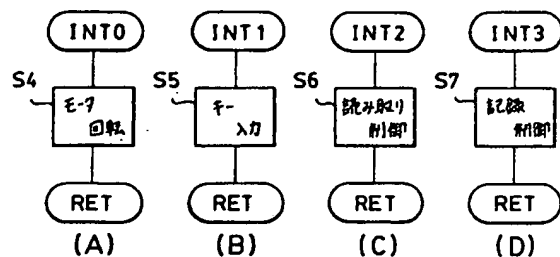
特許出願人 キヤノン株式会社

代理人 弁理士 加藤 卓



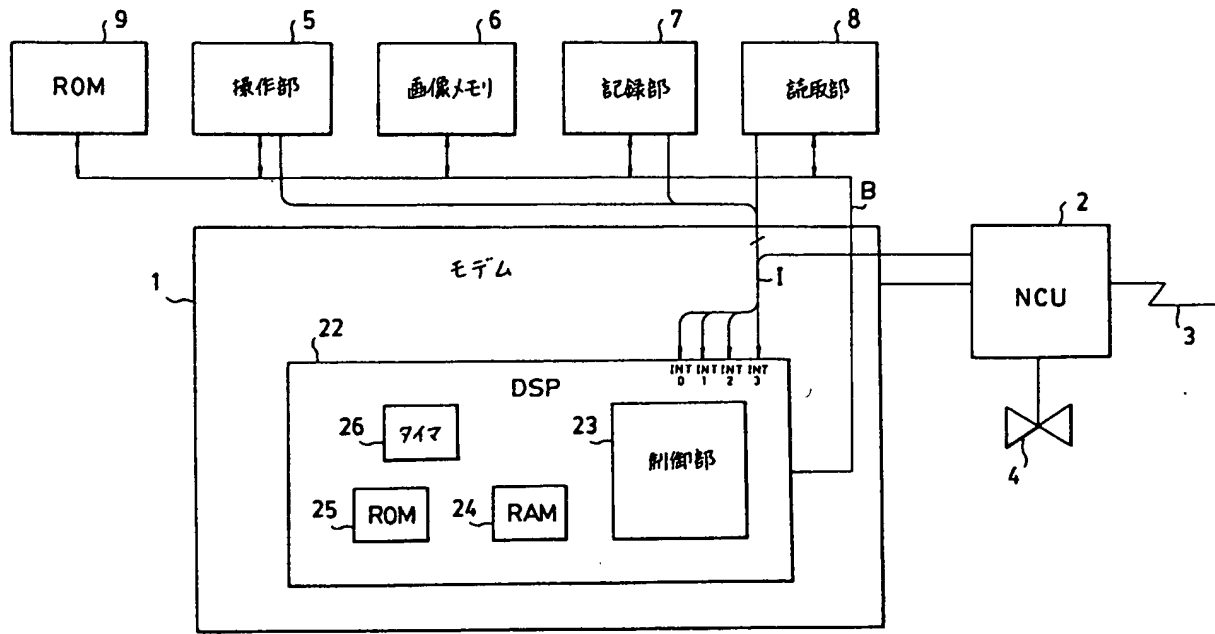
並行処理手順のフローチャート図

第2図

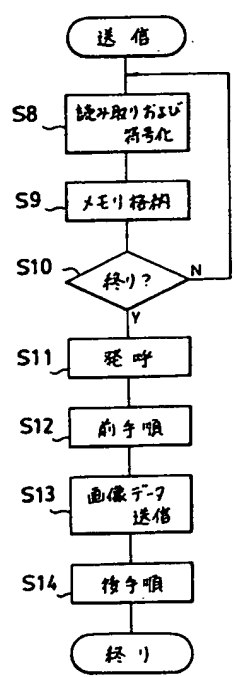


割込処理のフローチャート図

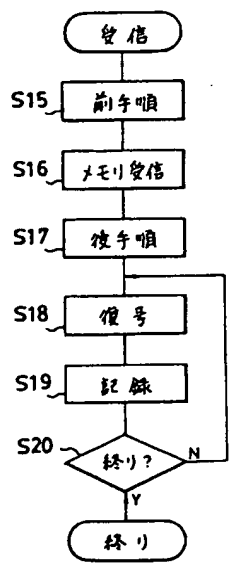
第3図



ファクシミリ装置のブロック図  
第1図



送信手順のフローチャート図  
第4図



受信手順のフローチャート図  
第5図